

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-25245

(P2002-25245A)

(43) 公開日 平成14年1月25日 (2002.1.25)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト*(参考)	
G 1 1 C	11/15	G 1 1 C	11/15	5 E 0 4 9
	11/14		11/14	A 5 F 0 8 3
H 0 1 F	10/08	H 0 1 F	10/08	
H 0 1 L	27/105	H 0 1 L	43/08	Z
	43/08		27/10	4 4 7
審査請求 未請求 請求項の数9 O L (全 9 頁)				

(21) 出願番号 特願2000-199590 (P2000-199590)

(22) 出願日 平成12年6月30日 (2000. 6. 30)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 岡澤 武

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100090158

弁理士 藤巻 正憲

Fターム(参考) 5E049 AC05 BA06 CB01

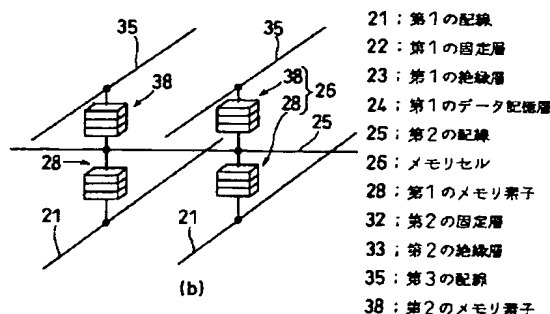
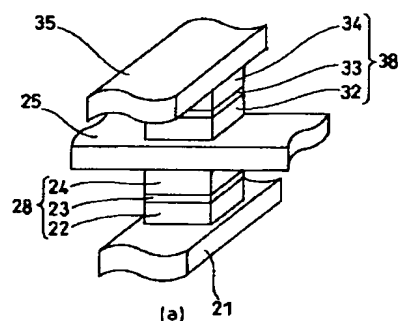
5F083 FZ10 NA08

(54) 【発明の名称】 不揮発性半導体記憶装置及び情報記録方法

(57) 【要約】

【課題】 出力信号の変化が大きいため誤動作を起こしにくく、高精度な抵抗値発生素子が不要で、構成が単純であるため高密度に集積することが可能な不揮発性半導体記憶装置及びこの不揮発性半導体記憶装置の情報記録方法を提供する。

【解決手段】 メモリセルの構成において、第1の配線21と第1の配線21に直交する第2の配線25と第1の配線と平行な第3の配線35を設け、第1の配線21と第2の配線25の間に第1のメモリ素子28を設け、第2の配線25と第3の配線35の間に第2のメモリ素子38を設け、これらのメモリ素子の構成を、2層の強磁性体薄膜の間に絶縁膜13を挟んだ構成とする。そして、第1のメモリ素子28と第2のメモリ素子38には互いに反対のデータを記録する。



- 21: 第1の配線
- 22: 第1の固定層
- 23: 第1の絶縁層
- 24: 第1のデータ記録層
- 25: 第2の配線
- 26: メモリセル
- 28: 第1のメモリ素子
- 32: 第2の固定層
- 33: 第2の絶縁層
- 35: 第3の配線
- 38: 第2のメモリ素子

1

【特許請求の範囲】

【請求項 1】 第 1 の方向に延在する第 1 の配線と、前記第 1 の配線に接続するように設けられた第 1 のメモリ素子と、この第 1 のメモリ素子に接続し前記第 1 の方向と異なる第 2 の方向に延在する第 2 の配線と、前記第 2 の配線に接続するように設けられた第 2 のメモリ素子と、この第 2 のメモリ素子に接続し前記第 1 の方向に延在する第 3 の配線と、を有し、前記第 1 のメモリ素子は絶縁膜及びこの絶縁膜の両側に設けられ夫々前記第 1 の配線及び前記第 2 の配線に接続された 2 層以上の強磁性薄膜により構成され、前記第 2 のメモリ素子は絶縁膜及びこの絶縁膜の両側に設けられ夫々前記第 2 の配線及び前記第 3 の配線に接続された 2 層以上の強磁性薄膜により構成され、この 2 層以上の強磁性薄膜における磁化方向の差として情報を記憶し、この磁化方向の差による磁気抵抗効果により前記メモリ素子を流れるトンネル電流の電気抵抗値が変化することを利用して情報を読み出し、前記第 1 のメモリ素子及び前記第 2 のメモリ素子は常に 1 対となって互いに反対の情報を記憶することを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記第 1、第 2 及び第 3 の配線並びに前記第 1 及び第 2 のメモリ素子が夫々複数個設けられ、前記第 1、第 2 及び第 3 の配線に接続され前記第 1 及び第 2 のメモリ素子に情報を書き込む書き込み回路と、前記第 1、第 2 及び第 3 の配線に接続され前記第 1 及び第 2 のメモリ素子に記憶された情報を読み出す読み出し回路と、を有することを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 前記第 1 の方向と前記第 2 の方向は、互いに直交することを特徴とする請求項 1 又は 2 に記載の不揮発性半導体記憶装置。

【請求項 4】 前記第 1 の配線は第 1 の平面上に互いに平行に配置され、前記第 2 の配線は前記第 1 の平面と平行で且つ前記第 1 の平面の上方に配置されている第 2 の平面上に互いに平行に配置され、前記第 3 の配線は前記第 1 の平面と平行で且つ前記第 2 の平面の上方に配置されている第 3 の平面上に互いに平行に配置され、前記第 1 のメモリ素子は前記第 1 の平面と平行で且つ前記第 1 の平面と前記第 2 の平面の間に配置されている第 4 の平面上に配置され、前記第 2 のメモリ素子は前記第 1 の平面と平行で且つ前記第 2 の平面と前記第 3 の平面の間に配置されている第 5 の平面上に配置されていることを特徴とする請求項 2 又は 3 に記載の不揮発性半導体記憶装置。

【請求項 5】 前記書き込み回路及び前記読み出し回路は半導体集積回路であることを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 6】 前記第 1、第 2 及び第 3 の配線並びに前記第 1 及び第 2 のメモリ素子からなる群が、絶縁層を介して複数個配置されていることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の不揮発性半導体記憶装置。

2

至 5 のいずれか 1 項に記載の不揮発性半導体記憶装置。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の不揮発性半導体記憶装置の情報記録方法であって、前記不揮発性半導体記憶装置への情報の書き込み方法は、前記第 1 のメモリ素子における 1 以上の強磁性薄膜を磁化しこの磁化方向と前記第 1 のメモリ素子における他の強磁性薄膜の磁化方向との関係を平行又は反平行とする工程と、前記第 2 のメモリ素子における 1 以上の強磁性薄膜を磁化しこの磁化方向と前記第 2 のメモリ素子における他の強磁性薄膜の磁化方向との関係を平行又は反平行とする工程と、を有し、前記第 1 のメモリ素子における前記磁化方向の関係を平行とし前記第 2 のメモリ素子における前記磁化方向の関係を反平行とする第 1 の状態と、前記第 1 のメモリ素子における前記磁化方向の関係を反平行とし前記第 2 のメモリ素子における前記磁化方向の関係を平行とする第 2 の状態とのうち一方を選択することにより情報を書き込むものであり、更に、前記不揮発性半導体記憶装置からの情報の読み出し方法は、前記第 1 のメモリ素子を流れるトンネル電流の第 1 の電気抵抗値を測定する工程と、前記第 2 のメモリ素子を流れるトンネル電流の第 2 の電気抵抗値を測定する工程と、前記第 1 の電気抵抗値と前記第 2 の電気抵抗値との差を検出し前記第 1 及び第 2 の状態のうちどちらが選択されているかを検知することにより情報を読み出す工程と、を有することを特徴とする不揮発性半導体記憶装置の情報記録方法。

【請求項 8】 前記第 1 のメモリ素子における 1 以上の強磁性薄膜を磁化する工程は、前記第 1 の配線及び前記第 2 の配線のうち少なくとも一方に電流を流しこの電流により発生する磁場を利用して行うことを特徴とする請求項 7 に記載の不揮発性半導体記憶装置の情報記録方法。

【請求項 9】 前記第 2 のメモリ素子における 1 以上の強磁性薄膜を磁化する工程は、前記第 2 の配線及び前記第 3 の配線のうち少なくとも一方に電流を流しこの電流により発生する磁場を利用して行うことを特徴とする請求項 7 又は 8 に記載の不揮発性半導体記憶装置の情報記録方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電氣的に書換え可能な不揮発性半導体記憶装置及びその情報記録方法に関し、特に、メモリ素子が強磁性薄膜よりなる磁気抵抗素子により構成される不揮発性半導体記憶装置及びその情報記録方法に関する。

【0002】

【従来の技術】

【従来の技術】 電氣的に書換え可能な不揮発性半導体記憶装置において、強磁性薄膜よりなる磁気抵抗素子を使用してメモリ素子が構成されているものを高密度磁気メ

3

メモリ (Magnetic Random Access Memory: 以下、MRAM という) と称する。

【0003】図4は、このMRAMのメモリ素子の一例を示す模式図であって、図4(a)はこのメモリ素子の構造を示す模式図であり、(b)はこのメモリ素子における読み出し動作を示す模式図であり、(c)はこのメモリ素子の書き込み動作を示す模式図である。図4

(a)に示すように、このメモリ素子においては、下層配線11上の所定の位置に厚さ約20nmの磁化の方向が固定されている強磁性薄膜よりなる固定層12が設けられ、固定層12の上に厚さ約2nmの絶縁膜13が設けられ、絶縁膜13の上に厚さ約20nmの磁化の方向が変化可能な強磁性薄膜よりなるデータ記憶層14が設けられ、このデータ記憶層14の上に下層配線11と直

行する方向に伸びた上層配線15が設けられている。【0004】図4(c)に示すように、前記メモリ素子の書き込み動作は、外部磁場によってデータ記憶層14の磁化方向を変化させ、固定層12の磁化方向とデータ記憶層14の磁化方向との関係を、互いに平行(データ1にあたる)又は反平行(データ0にあたる)とすることで2値情報の記憶を行う。このとき、磁気抵抗効果により、前記磁気方向の関係が平行であるときの絶縁膜13の電気抵抗値は、反平行であるときの絶縁膜13の電気抵抗値と比較して、約10乃至40%変化する。

【0005】このような方法で記憶された2値情報の読み出しは、図4(b)に示すように、上層配線15と下層配線11との間に所定の電位差を与え、下層配線11から固定層12、絶縁層13及びデータ記憶層14を介して上層配線15へトンネル電流を流すことにより行うことができる。即ち、固定層12の磁化方向とデータ記憶層14の磁化方向との関係が平行か又は反平行かにより、トンネル磁気抵抗効果(Tunneling magneto-resistance effect: 以下、TMRという)により絶縁層13の電気抵抗値が異なるため、前記トンネル電流変化を検出することで記憶された情報を外部へ取り出すことができる。

【0006】図4(a)及び(b)に示したメモリ素子は、トンネル磁気抵抗効果(TMR)を利用しており、以前の巨大磁気抵抗効果(Giant magneto-resistance effect: 以下、GMRという)を利用するメモリ素子よりも記憶情報を外部へ引き出すための電極の形成において単純な構成になり、高密度なMRAMを形成する方法としてより有利である。

【0007】図5は、図4に示したメモリ素子を格子状に配置したMRAMを示す模式図である。ワード線と呼ばれる下層配線11が複数配置され、ワード線とは異なる方向にビット線と呼ばれる上層配線15が複数配置され、下層配線11と上層配線15は格子状に交差している。この格子の交点、即ち、下層配線11と上層配線15との最近接点には、前述したメモリ素子17が配置さ

4

れる。任意のメモリ素子17は、所定のワード線(下層配線11)とビット線(上層配線15)を選択して選ぶことができる。所定の記憶を各メモリ素子17に対して行い、各メモリ素子17に対応するワード線とビット線との間のトンネル電流を検出することにより、記憶された情報を外部へ取り出すことができる。従来のこの種のメモリの例として特開2000-82791号公報に開示されたメモリがある。このメモリの構成においても、下層配線と上層配線の間に形成されたMTJ(磁気トンネル接合)素子のトンネル電流の変化を記憶情報として検出する。

【0008】このように、TMRを利用するMRAMは、通常2層の強磁性薄膜とこれらの強磁性薄膜によって挟まれた絶縁膜とからなる3層以上の構成を有する磁気抵抗素子により構成され、外部磁場の変化により2つの強磁性薄膜における磁化方向の関係が平行又は反平行になり、これにより前記絶縁膜中のトンネル電流における電気抵抗値が異なるため、1及び0の2値の記憶を行うことができる。

【0009】しかしながら、磁気抵抗効果による電気抵抗値の変化量は通常約30%、最大でも約40%とあまり大きくなく、また、図5に示すように、多数のメモリ素子17を格子状に配置すると、特定のメモリ素子17に記憶された情報を読み出す場合にも非選択のワード線及びビット線に起因するノイズの影響を受け、このため、読み出し電流の(信号/ノイズ)比がより小さくなり、誤動作の原因になっている。特に、大容量の記憶装置を構成する際には、図5に示すように、多数のメモリ素子17を格子状に配置するが、主として製造上のばらつきにより、個々のメモリ素子17における電気抵抗値のばらつきが無視できない大きさまで増大することがある。

【0010】このため、この従来の不揮発性半導体記憶装置における検出手段には高精度な回路構成が必要とされ、また、読み出しの精度を上げるためには読み出しに要する時間が長くなるという問題点がある。読み出しの精度を上げるため手段として、例えば高精度な抵抗値発生素子を個々のメモリ素子における電気抵抗値の絶対値変化を検出する際の参照用として使用する等の手段があるが、このような高精度な抵抗値発生素子を形成することはコストの上昇につながり、また、読み出し時の性能の低下にもつながる。

【0011】このようなMRAM特有の問題に対して、例えば特開平10-177783号公報に開示されているように、2個のメモリ素子を1対にしてメモリセルを形成し、このメモリセルに情報を記憶し、電流の差を読み出すという技術が提案されている。

【0012】

【発明が解決しようとする課題】しかしながら、特開平10-177783号公報にて開示されている技術には

5

以下に示す問題点がある。この技術におけるMRAM用磁気メモリセルはGMR効果を利用しているが、このメモリセルでは、記憶情報を読み出すためには、磁化方向と平行な方向に電流を流して電気抵抗値変化を検出しなければならない。そのため、特開平10-177783号公報における図1に示されているように、電気抵抗値検出用電極を情報記録部（磁気抵抗素子）の側面に形成しなければならない。しかも上下に二つのメモリ素子を積層して形成する場合には電極引き出し配線が複雑な構成になるという問題点がある。このため、このメモリセルは、多数のメモリセルを高密度に集積して形成される情報記憶装置には適さない。

【0013】本発明はかかる問題点に鑑みてなされたものであって、出力信号の変化が大きいため誤動作を起こしにくく、抵抗値発生素子が不要で、構成が単純であるため高密度に集積することが可能な不揮発性半導体記憶装置及びこの不揮発性半導体記憶装置の情報記録方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明に係る不揮発性半導体記憶装置は、第1の方向に延在する第1の配線と、前記第1の配線に接続するように設けられた第1のメモリ素子と、この第1のメモリ素子に接続し前記第1の方向と異なる第2の方向に延在する第2の配線と、前記第2の配線に接続するように設けられた第2のメモリ素子と、この第2のメモリ素子に接続し前記第1の方向に延在する第3の配線と、を有し、前記第1のメモリ素子は絶縁膜及びこの絶縁膜の両側に設けられ夫々前記第1の配線及び前記第2の配線に接続された2層以上の強磁性薄膜により構成され、前記第2のメモリ素子は絶縁膜及びこの絶縁膜の両側に設けられ夫々前記第2の配線及び前記第3の配線に接続された2層以上の強磁性薄膜により構成され、この2層以上の強磁性薄膜における磁化方向の差として情報を記憶し、この磁化方向の差による磁気抵抗効果により前記メモリ素子を流れるトンネル電流の電気抵抗値が変化することを利用して情報を読み出し、前記第1のメモリ素子及び前記第2のメモリ素子は常に1対となって互いに反対の情報を記憶することを特徴とする。

【0015】従来、2本の配線の間に1つのメモリ素子を設け、このメモリセルを流れるトンネル電流の電気抵抗値の絶対値を検出していたのに対して、本発明においては、3本の配線の間に2つのメモリ素子を形成し、これらに互いに反対のデータを記憶させ、そのトンネル電流の差分を検出する。これにより、電気抵抗値の相対的な変化を検出するため、変化の幅が大きくなり情報を読み出す精度が向上する。また、メモリセルの構成が単純な構成となっているため、容易にこのメモリセルを集積して大規模な不揮発性半導体記憶装置を形成することができる。

6

【0016】本発明に係る不揮発性半導体記憶装置の情報記録方法における前記メモリセルへの情報の書き込み方法は、前記第1のメモリ素子における1以上の強磁性薄膜を磁化しこの磁化方向と前記第1のメモリ素子における他の強磁性薄膜の磁化方向との関係を平行又は反平行とする工程と、前記第2のメモリ素子における1以上の強磁性薄膜を磁化しこの磁化方向と前記第2のメモリ素子における他の強磁性薄膜の磁化方向との関係を平行又は反平行とする工程と、を有し、前記第1のメモリ素子における前記磁化方向の関係を平行とし前記第2のメモリ素子における前記磁化方向の関係を反平行とする第1の状態と、前記第1のメモリ素子における前記磁化方向の関係を反平行とし前記第2のメモリ素子における前記磁化方向の関係を平行とする第2の状態とのうち一方を選択することにより情報を書き込むものである。

【0017】また、前記情報の読み出し方法は、前記第1のメモリ素子を流れるトンネル電流の第1の電気抵抗値を測定する工程と、前記第2のメモリ素子を流れるトンネル電流の第2の電気抵抗値を測定する工程と、前記第1の電気抵抗値と前記第2の電気抵抗値との差を検出し前記第1及び第2の状態のうちどちらが選択されているかを検知することにより情報を読み出す工程と、を有するものである。

【0018】

【発明の実施の形態】以下、本発明の実施例について添付の図面を参照して具体的に説明する。先ず、本発明の第1実施例について説明する。図1は本実施例に係るMRAMのメモリセル及び不揮発性半導体記憶装置の構成を示す模式図であって、図1(a)はメモリセルの構成を示す模式図であり、図1(b)はこのメモリセルを格子状に配列させて形成される不揮発性半導体記憶装置の構成の一部を示す模式図である。

【0019】本実施例に係る不揮発性半導体記憶装置のメモリセルは、図1(a)に示すように、第1の方向に直線状に配置された第1の配線21が設けられ、第1の配線21上の所定の位置に第1の配線21に接続するように厚さ約20nmの磁化の方向が固定されている強磁性膜よりなる第1の固定層22が設けられ、第1の固定層22上に第1の固定層22に接続するようにトンネル電流を流すための厚さ約2nmの第1の絶縁膜23が設けられ、第1の絶縁膜23上に第1の絶縁膜23に接続するように厚さ約20nmの磁化の方向が変化可能な強磁性薄膜よりなる第1のデータ記憶層24が設けられ、第1のデータ記憶層24上に第1のデータ記憶層24に接続するように第1の配線11と直行する方向に直線状に配置された第2の配線25が設けられ、更に、第2の配線25上の所定の位置に第2の配線25に接続するように厚さ約20nmの磁化の方向が固定されている強磁性膜よりなる第2の固定層32が設けられ、第2の固定層32上に第2の固定層32に接続するようにトンネル

7

電流を流すための厚さ約2 nmの第2の絶縁膜33が設けられ、第2の絶縁膜33上に第2の絶縁膜33に接続するように厚さ約20 nmの磁化の方向が変化可能な強磁性薄膜よりなる第2のデータ記憶層34が設けられ、第2のデータ記憶層34上に第2のデータ記憶層34に接続するように第1の配線11と平行に配置された第3の配線35が設けられている。なお、このメモリセルの一部分として、第1の固定層22、第1の絶縁膜23及び第1のデータ記憶層24により第1のメモリ素子28が構成され、第2の固定層32、第2の絶縁膜33及び第2のデータ記憶層34により第2のメモリ素子38が構成されている。本実施例のメモリセルはこの第1のメモリ素子28と第2のメモリ素子38を1対として1ビットの記憶を行う。

【0020】本実施例の不揮発性半導体記憶装置は前記メモリセルを格子状に配列して形成されている。図1

(b)に示すように、下層ビット線である第1の配線21が第1の平面上に互いに平行且つ等間隔に複数配置され、この下層ビット線に直行する方向にワード線である第2の配線25が前記第1の平面に平行な第2の平面上に互いに平行且つ等間隔に複数配置され、更に、第1の配線21と同じ方向に上層ビット線である第3の配線35が前記第2の平面に平行な第3の平面上に互いに平行且つ等間隔に複数配置されている。このとき、前記第2の平面は前記第1の平面と前記第3の平面との間に配置されている。また、前記第1乃至第3の平面に垂直な方向からみると、即ち平面視で、第1の配線21は第3の配線35に重なり、第1の配線21と第2の配線25とは格子状に交差している。

【0021】第1の配線21と第2の配線25との最近接点における第1の配線21と第2の配線25との間には第1のメモリ素子28が配置されている。また、第2の配線25と第3の配線35との最近接点における第2の配線25と第3の配線35との間には第2のメモリ素子38が配置されている。従って、平面視で、第1のメモリ素子28は第2のメモリ素子38に重なっている。1個の第1のメモリ素子28とその上に配置された第2のメモリ素子38とを1対にして1つのメモリセルを構成する。本実施例の不揮発性半導体記憶装置においては、このメモリセルが格子状に配列されている。

【0022】更に、第1の配線21、第2の配線25及び第3の配線35の終端部には、前記メモリセルに情報を書き込む書込回路及び前記メモリセルに記憶された情報を読み出す読出回路が接続されている。

【0023】次に、本実施例の不揮発性半導体記憶装置の動作について説明する。図2は本実施例のメモリセルの動作を示す模式図であって、図2(a)は書き込み動作を示す模式図、図2(b)は読み出し動作を示す模式図である。図2においては、図1に対してワード線と上層及び下層のビット線の方向が入れ替えて表現されてい

8

るが、説明上の便宜性を配慮したもので、主旨は変わらない。

【0024】先ず、書き込み動作について説明する。先ず、図2(a)に示すように、下層ビット線、即ち第1の配線層21及び上層ビット線、即ち第3の配線層35において、第1の方向36に所定の電流を流し、ワード線、即ち、第2の配線層25には第2の方向37に所定の電流を流す。その結果、これらの電流によって誘起された磁界が各配線層の周囲に発生する。

【0025】図2(a)に示すように、第1のメモリ素子28には下層ビット電流による磁界が方向51の方向に発生し、ワード線電流による磁界が方向52の方向に発生する。従って、第1のメモリ素子28にはそれらが合成された方向に磁界が印加される。一方、第2のメモリ素子38には上層ビット電流による磁界が方向54の方向に発生し、ワード線電流による磁界が方向53の方向に発生する。従って、第2のメモリ素子38にはそれらが合成された方向に磁界が印加される。その結果、第1のメモリ素子28及び第2のメモリ素子38には互いに逆方向の磁界が印加され、第1のメモリ素子28のデータ記憶層24における強磁性体の磁化方向は、第2のメモリ素子38のデータ記憶層34における強磁性体の磁化方向に対して反対方向になる。このとき、各メモリ素子における固定層の磁化方向が、例えば第2のメモリ素子38におけるデータ記憶層34の磁化方向と同じであれば、第1のメモリ素子28におけるデータ記憶層24の磁化方向と固定層22の磁化方向は互いに反平行になり、第2のメモリ素子38におけるデータ記憶層34の磁化方向と固定層32の磁化方向は互いに平行になる。この状態を、例えばメモリセルデータ“1”と記憶する。

【0026】メモリセルデータ“0”を記憶するためには、例えばワード線の電流方向のみをメモリセルデータ“1”の場合の逆にする。このとき、上層ビット線及び下層ビット線の電流はメモリセルデータ“1”の場合と同じ方向とする。その結果、ワード線電流誘起磁界のみが、メモリセルデータ“1”の場合と逆を向き、予め第1のデータ記憶層24及び第2のデータ記憶層34における磁区の方向の容易軸を第1の方向36に揃えておけば、第1のメモリ素子28及び第2のメモリ素子38におけるデータ記憶層の磁化方向は、メモリセルデータ“1”の場合に対して反転する。

【0027】例えば、第2のメモリ素子38の状態をデータ“1”(磁気抵抗の小さい場合とする)とし、第1のメモリ素子28の状態を“0”(磁気抵抗の大きい場合とする)とした場合に、その1対の状態を仮にメモリセルデータの“1”とすると、ワード線の電流のみを反転させることで、第2のメモリ素子38の状態をデータ“0”(磁気抵抗の大きい場合)とし、第1のメモリ素子28の状態をデータ“1”(磁気抵抗の小さい場合)

9

とすることができる。このとき、この1対の状態はメモリセルデータの“0”に相当する。

【0028】次に、読み出し動作について説明する。本実施例の不揮発性半導体記憶装置においては、そのメモリセルアレイに対して、所定の記憶を各メモリセルに対して行った後、所定のワード線、上層ビット線及び下層ビット線を選択することにより任意のメモリセルを選択することができる。任意のメモリセルを選択し、図2

(b)に示すように、ワード線(第2の配線25)と上層ビット線(第3の配線35)との間のトンネル電流と、ワード線と下層ビット線(第1の配線21)との間のトンネル電流との差分を検出することで記憶された情報を読み出すことが可能になる。即ち、データの読み出しは、第1のメモリ素子28及び第2のメモリ素子38に記憶させた状態の違い、すなわち、メモリセルデータ“1”では第1のメモリ素子28が第2のメモリ素子38より抵抗が大きい状態、メモリセルデータ“0”では第1のメモリ素子28が第2のメモリ素子38より抵抗が小さい状態を検出する。

【0029】本実施例においては、従来のように1つのメモリ素子に情報を書き込み、このメモリ素子に流れるトンネル電流の絶対値を検出することにより情報を読み出すのではなく、第1のメモリ素子28と第2のメモリ素子38を1対として情報を書き込み、第1のメモリ素子28を流れるトンネル電流と第2のメモリ素子38を流れるトンネル電流の大きさを相対的に比較することでメモリセルに記憶させた情報を読み出すため、情報を読み出す精度を著しく向上させることができる。これにより、従来は不可欠であった高精度な抵抗発生素子を使用せずに、高速で精度よく情報の読み出しを行うことができる。また、本実施例のメモリセル及び不揮発性半導体記憶装置は構成が単純であるため、高密度に集積させることができる。

【0030】次に、本発明の第2実施例について説明する。図3は本実施例に係る不揮発性半導体記憶装置(MRAM)の構成を示す模式図である。本実施例の不揮発性半導体記憶装置の特徴は、前記第1実施例において示した格子状に配列したメモリセル群を、層間絶縁膜40を介して上下に2個配置している点である。

【0031】本実施例の不揮発性半導体記憶装置の構成は、図3に示すように、第1の平面(図示せず)上に平行に配列された複数の第1の配線21が設けられ、この第1の配線21の上に第1の配線21に接続するように複数の第1のメモリ素子28が格子状に配置され、この第1のメモリ素子28の上に第1のメモリ素子28に接続するように複数の第2の配線25が設けられている。このとき、第2の配線25は前記第1の平面と平行な第2の平面(図示せず)上において第1の配線21と直交する方向に設けられている。更に、第2の配線25の上に第2の配線25に接続するように複数の第2のメモリ

10

素子38が格子状に配置され、この第2のメモリ素子38の上に第3の配線35が前記第1の平面と平行な第3の平面(図示せず)上において第1の配線21と平行に設けられている。更に、この第3の配線35を覆うように層間絶縁膜40が設けられている。

【0032】更に、層間絶縁膜40の上に平行に配列された複数の第4の配線41が設けられ、この第4の配線41の上に第4の配線41に接続するように複数の第3のメモリ素子48が格子状に配置され、この第3のメモリ素子48の上に第3のメモリ素子48に接続するように複数の第5の配線45が設けられている。このとき、第5の配線45は前記層間絶縁膜40の表面に平行な第5の平面(図示せず)上において第4の配線41と直角をなす方向に設けられている。更に、第5の配線45の上に第5の配線45に接続するように複数の第4のメモリ素子58が格子状に配置され、この第5のメモリ素子58の上に第6の配線55が前記層間絶縁膜40の表面と平行な第6の平面(図示せず)上において第4の配線41と平行に設けられている。

【0033】本実施例の不揮発性半導体記憶装置は、このような構成を有することにより、単位面積当たりのメモリセルの密度を第1の実施例に係る不揮発性半導体記憶装置と比較して2倍にすることができる。同様に、格子状に配置されたメモリセル群を上下に3個以上配置することも可能である。

【0034】なお、前述の実施例においては、第2の配線25の方向が第1の配線21の方向に対して直交する例を示したが、本発明の不揮発性半導体記憶装置においては、第1の配線21の方向と第2の配線25の方向とは必ずしも直交していなくてもよく、任意の角度をなすことができる。

【0035】また、前述の実施例においては、第1の平面と第3の平面の間に第2の平面を配置する例を示したが、本発明においては、前記各平面間の位置関係も特に限定されず、例えば、第1の平面と第3の平面を一致させて、第1の配線21と第3の配線35を同一平面上に配置してもよい。但し、この場合は、第1のメモリ素子28における固定層22の磁化方向とデータ記憶層24の磁化方向との関係が、第2のメモリ素子38における固定層32の磁化方向とデータ記憶層34の磁化方向との関係と異なるように工夫する必要がある。

【0036】

【発明の効果】上述の如く、本発明によれば、磁気抵抗素子により構成される不揮発性半導体記憶装置において、従来よりも小さな電流変化に対しても電流検出精度を高めることが可能となり、従来は不可欠であった抵抗発生素子を不要にする。また、本発明における不揮発性半導体記憶装置のメモリセルは、構成が単純であるため容易に集積することができる。なお、本発明の不揮発性半導体記憶装置におけるメモリセルは2つのメモリ素子

11

を有する構成になるが、これらの2つのメモリ素子は上下に積層して形成するため、メモリセルの面積の増大は全くなく、従来と同一の高記憶密度において、より安定な記憶動作が実現できる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る不揮発性半導体記憶装置の構成を示す模式図であって、図1(a)はメモリセルの構成を示す模式図、(b)はこのメモリセルを格子状に配列させて形成される不揮発性半導体記憶装置の構成の一部を示す模式図である。

【図2】第1実施例に係る不揮発性半導体記憶装置の動作を示す模式図であって、図2(a)は書き込み動作を示す模式図、(b)は読み出し動作を示す模式図である。

【図3】本発明の第2実施例に係る不揮発性半導体記憶装置の構成を示す模式図である。

【図4】従来の不揮発性半導体記憶装置におけるメモリセルの一例を示す模式図であって、図4(a)はこのメモリセルの構成を示す模式図、(b)はこのメモリセルの読み出し動作を示す模式図、(c)はこのメモリセルの書き込み動作を示す模式図である。

【図5】この従来の不揮発性半導体記憶装置の構成の一部を示す模式図である。

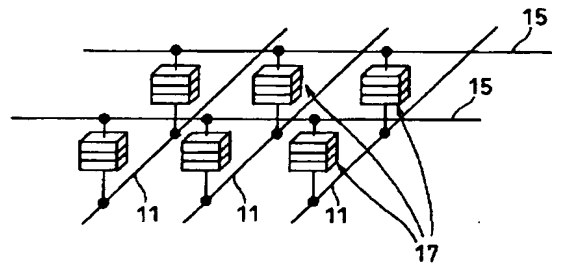
【符号の説明】

- 11；下層配線
- 12；固定層
- 13；絶縁層
- 14；データ記憶層
- 15；上層配線
- 16；読み出し電流経路
- 17；メモリ素子
- 18；磁化方向

12

- * 21；第1の配線
- 22；第1の固定層
- 23；第1の絶縁層
- 24；第1のデータ記憶層
- 25；第2の配線
- 26；メモリセル
- 28；第1のメモリ素子
- 32；第2の固定層
- 33；第2の絶縁層
- 34；第2のデータ記憶層
- 35；第3の配線
- 36；第1の方向
- 37；第2の方向
- 38；第2のメモリ素子
- 40；層間絶縁膜
- 41；第4の配線
- 42；第1のメモリ素子28の読み出し電流経路
- 43；第2のメモリ素子38の読み出し電流経路
- 45；第5の配線
- 46；メモリセル
- 48；第3のメモリ素子
- 51；第1の配線21による第1のメモリ素子28中の磁界
- 52；第2の配線25による第1のメモリ素子28中の磁界
- 53；第2の配線25による第2のメモリ素子38中の磁界
- 54；第3の配線35による第2のメモリ素子38中の磁界
- 55；第6の配線
- 58；第4のメモリ素子

【図5】

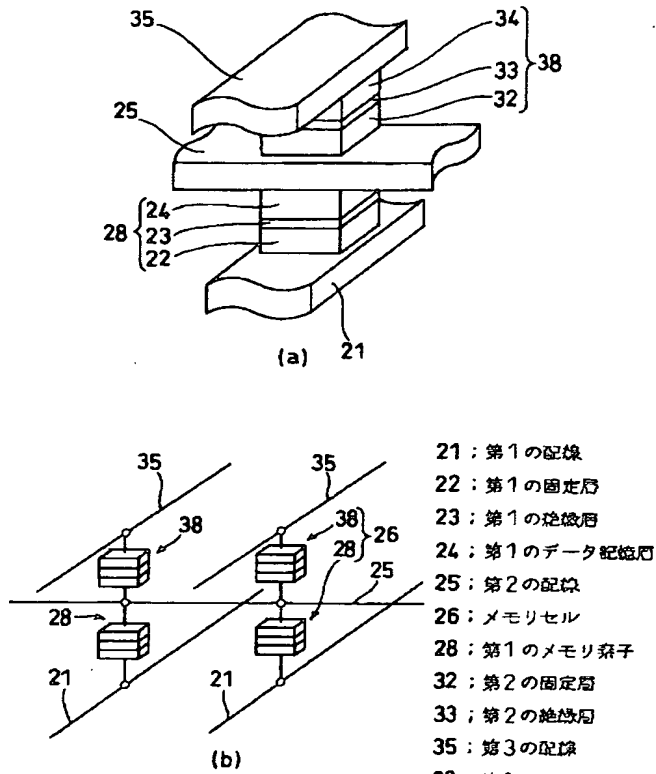


11；下層配線

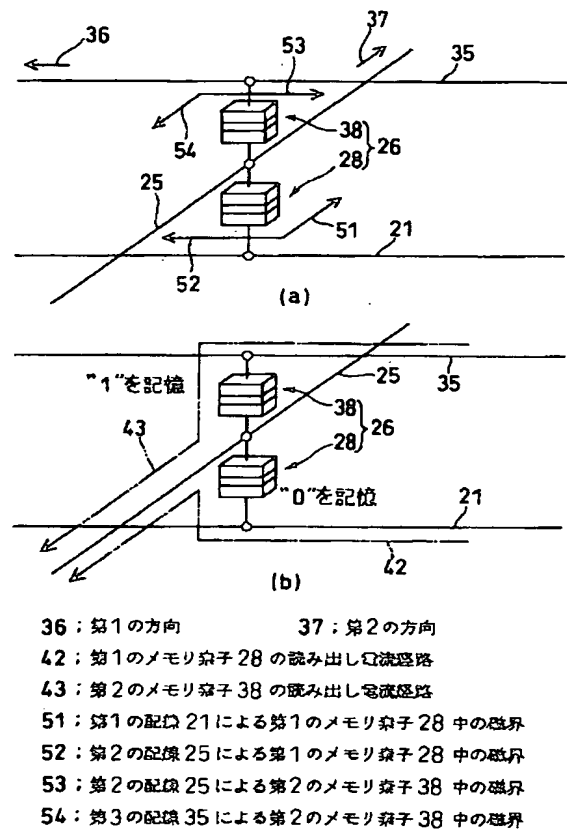
15；上層配線

17；メモリ素子

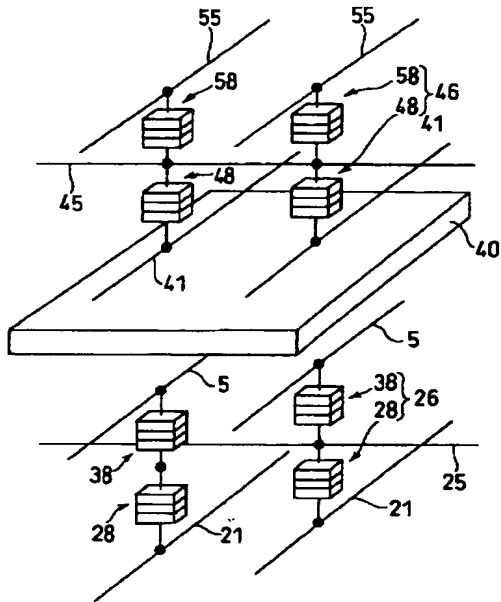
【図1】



【図2】

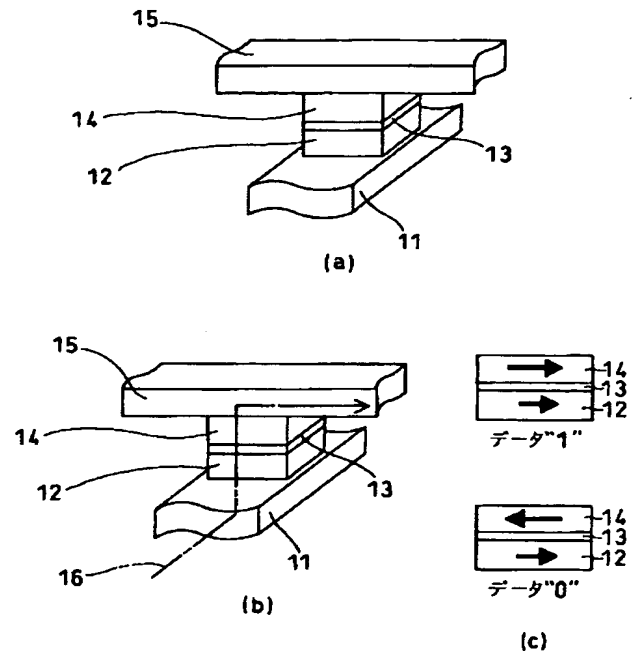


【図3】



21: 第1の配線 25: 第2の配線 26: メモリセル
 28: 第1のメモリ素子 35: 第3の配線
 38: 第2のメモリ素子 40: 層間絶縁膜 41: 第4の配線
 45: 第5の配線 46: メモリセル 48: 第3のメモリ素子
 55: 第6の配線 58: 第4のメモリ素子

【図4】



11: 下層配線 12: 固定層 13: 絶縁層
 14: データ記憶層 15: 上層配線
 16: 読み出し電流経路